

Álvarez, Maximiliano - Pianciola Bartol, Galo Emanuel

maxi25294@gmail.com - galopianciola@outlook.com

Facultad de Ciencias Exactas

Arquitectura de Computadoras I

# 

## 

TRABAJO PRÁCTICO

Implementación del   
“Procesador Multi-ciclo MIPS”

En este informe se detallará el diseño y la implementación del procesador multiciclo MIPS y a su vez, la comparación con el procesador segmentado dado por la cátedra.

A la hora de la implementación (visto desde la explicación del TB), se ven claramente dos “cajas negras”; la primera es el procesador multiciclo y la segunda es la memoria. Consiguiente a esto, dentro del procesador multiciclo se pueden observar 3 componentes principales:

* ALU (Unidad Aritmético Lógica)
* Banco de Registros
* Unidad de Control

Tomamos dicho diseño de implementación siguiendo las instrucciones de los prácticos de la cátedra, en el cual se pedía instanciar la ALU para así poder realizar las cuentas pertinentes en cuanto a las operaciones matemáticas del programa dado y también las sumas matemáticas para las direcciones de memoria.

El Banco de Registros se implementa para escribir los datos necesarios y poder almacenarlos. El banco consta de 32 registros de 32 bits cada uno.

La Unidad de Control es la encargada de las habilitaciones de todos los componentes principales o no, como el caso de los multiplexores y registros (IR y PC). Pudiendo así “organizar” las rutas de datos correctas para su funcionamiento.

Dentro del diseño del procesador, instanciamos los multiplexores y los registros adicionales necesarios para su función.

A la hora de comparar los valores, corrimos la síntesis de nuestro procesador y nos devolvió una serie de archivos distintos sobre esta. De ellos, seleccionamos dos, uno correspondiente al timing del Data Path (que indica el ciclo más largo del reloj) y el otro a la utilización en componentes (ocupación en área) del procesador. Realizamos lo mismo con el procesador segmentado dado por la cátedra y nos arrojó los siguientes resultados:

Timing Procesador Multiciclo:

Data Path Delay: 12.566ns (logic 6.537ns (52.023%) route 6.029ns (47.977%))

Timing Procesador Segmentado:

Data Path Delay: 4.073ns (logic 3.273ns (80.362%) route 0.800ns (19.638%))

Comparándolo se ve claramente que el Multiciclo tarda más pero en cuanto a operaciones lógicas es menor el porcentaje y en cuanto a la ruta es mayor.

Utilización Procesador Multiciclo:

+----------+------+---------------------+

| Ref Name | Used | Functional Category |

+----------+------+---------------------+

| FDCE | 1131 | Flop & Latch |

| LUT6 | 658 | LUT |

| MUXF7 | 232 | MuxFx |

| LUT3 | 110 | LUT |

| MUXF8 | 105 | MuxFx |

| LUT5 | 73 | LUT |

| OBUF | 66 | IO |

| LUT4 | 64 | LUT |

| LUT2 | 37 | LUT |

| IBUF | 34 | IO |

| LUT1 | 24 | LUT |

| CARRY4 | 12 | CarryLogic |

| LDCE | 8 | Flop & Latch |

| FDPE | 1 | Flop & Latch |

| BUFG | 1 | Clock |

+----------+------+---------------------+

Utilización Procesador Segmentado:

+----------+------+---------------------+-----------+

| Ref Name | Used | Functional Category |

+----------+------+---------------------+-----------+

| FDCE | 393 | Flop & Latch |

| OBUF | 132 | IO |

| LUT3 | 70 | LUT |

| IBUF | 66 | IO |

| LUT4 | 34 | LUT |

| LUT1 | 32 | LUT |

| LUT2 | 30 | LUT |

| CARRY4 | 24 | CarryLogic |

| LUT6 | 6 | LUT |

| LUT5 | 4 | LUT |

| BUFG | 1 | Clock |

+----------+------+---------------------+

Como se puede observar el segmentado ocupa mucho menor área que el multiciclo, se podría decir que el procesador segmentado es mejor en los dos aspectos.